

Patent Abstracts of Japan

PUBLICATION NUMBER : 09097886
PUBLICATION DATE : 08-04-97

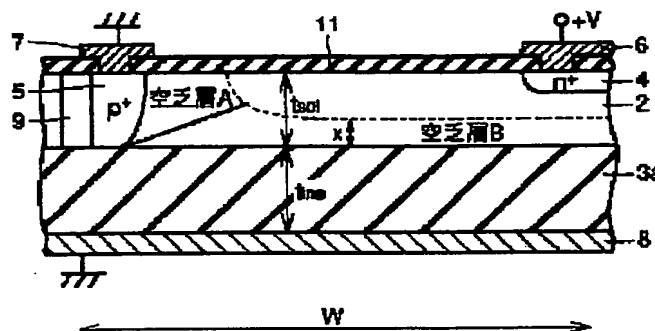
APPLICATION DATE : 02-10-95
APPLICATION NUMBER : 07254899

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : AKIYAMA HAJIME;

INT.CL. : H01L 27/12 H01L 21/02 H01L 21/762
H01L 29/861

TITLE : INSULATOR ISOLATED
SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To cut down the time of processing by a method wherein a high dielectric layer, having a specific dielectric constant and formed by a high dielectric substance, is provided and a SOI layer is formed on the high dielectric layer.

SOLUTION: An insulating layer 3a, formed by a high dielectric substance having the dielectric constant of 8.8 or higher, is provided. A low resistance n-type semiconductor region 4 is provided on the surface of the n-type semiconductor layer 2. Also, a p-type semiconductor region 5 is provided in the n-type semiconductor layer 2 on the position separated from the low resistance n-type semiconductor region 4. A cathode electrode 6 is connected to the n-type semiconductor region 4, and an anode electrode 7 is connected to the p-type semiconductor region 5. An insulating film 11 is used to separate the cathode electrode 6 and the anode electrode 7 from the other part. A rear electrode 8 is provided on the backside of the insulating layer 3a. As the part, corresponding to the buried oxide film/supporting semiconductor substrate of a high withst and voltager power device SOI substrate, is constituted by a high dielectric substrate, a product can be obtained at a low price.

COPYRIGHT: (C)1997,JPO

DOCUMENT

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-97886

(43)公開日 平成9年(1997)4月8日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12			H 0 1 L 27/12	B
				F
21/02			21/02	B
21/762			21/76	D
29/861			29/91	D

審査請求 未請求 請求項の数 2 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平7-254899

(22)出願日 平成7年(1995)10月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 秋山 肇

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

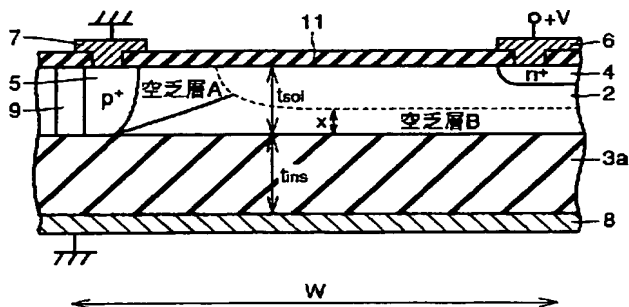
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 絶縁体分離半導体装置およびその製造方法

(57)【要約】

【課題】 安価に作製でき、かつプロセス時間を短縮することができるように改良された絶縁体分離半導体装置を提供すること。

【解決手段】 誘電率が8.8以上の高誘電物質で形成された高誘電体層3aの上に、SOI層2が形成されている。



2: SOI層 3a: 高誘電体層

【特許請求の範囲】

【請求項1】 誘電率が8.8以上の高誘電物質で形成された高誘電体層と、
前記高誘電体層の上に形成されたSOI層と、を備えた、絶縁体分離半導体装置。

【請求項2】 高誘電体基板と半導体基板を準備する工程と、
前記高誘電体基板および前記半導体基板の少なくとも一方の、表面に絶縁層を形成する工程と、
前記絶縁層を間に挟んで前記高誘電体基板と前記半導体基板とを貼り合わせる工程と、
前記貼り合わせ工程の後、前記半導体基板を所定の厚さになるまで研削・研磨する工程と、を備えた、絶縁体分離半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一般に、絶縁体分離半導体装置に関するものであり、より特定的には高耐圧を保持することができるように改良された絶縁体分離半導体装置に関する。この発明は、また、そのような絶縁体分離半導体装置の製造方法に関する。

【0002】

【従来の技術】図12は、従来の半導体装置の第1の例の断面図である。当該半導体装置は、絶縁基板3を備える。絶縁基板3の上にn型半導体層2 (Silicon On Insulator: SOI層といわれる) が設けられている。n型半導体層2の表面には、低抵抗なn型半導体領域4が設けられている。n型半導体層2を取囲むようにp型半導体領域5が設けられている。n型半導体領域4に、カソード電極6が接続されている。p型半導体領域5に、アノード電極7が接続されている。絶縁基板3の裏面には、裏面電極8が設けられている。n型半導体層2中に設けられた絶縁膜9は、n型半導体層2を複数の部分に分離するためのものである。n型半導体層2の上に設けられた絶縁膜11は、カソード電極6とアノード電極7を、他の部分と分離するためのものである。

【0003】次に、動作について説明する。図13を参照して、アノード電極7と裏面電極8を0Vとし、カソード電極6に+電圧を加えていくと、n型半導体層2とp型半導体領域5の間のpn接合から空乏層33が伸びる。空乏層は、n型半導体領域4に達すると、伸長を止める。空乏層33は、一種の絶縁体であり、カソード電極6とアノード電極7間には電流は流れない、このような半導体装置は、ダイオードといわれている。なお、絶縁層3は、電圧を分担しない。

【0004】

【発明が解決しようとする課題】上記構造を有する半導体装置で、高耐圧化を図るためには、電界の大部分を保持するn型半導体層2を広くとる必要がある。水平方向を広くとることは比較的容易であるが、鉛直方向はSO

I層の厚み t_{SOI} を大きくする必要があるため、分離領域が拡大するという問題点があり、また、分離と埋込の技術が困難になるという問題点がある。

【0005】図14は、従来の半導体装置の第2の例の断面図である。半導体基板1の上に、絶縁層3を介在させて、n型半導体層2が設けられている。図中、その他の部材は、図13に示す従来の半導体装置と同一であるので、同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。

【0006】次に、動作について説明する。図15を参照して、アノード電極7と裏面電極8を0Vとして、カソード電極6に+電圧を加えていくと、n型半導体層2とp型半導体領域5の間のpn接合から空乏層Aが伸びる。このとき、半導体基板1は、全体が0Vになっており、絶縁層3を介して、フィールドプレートとして働くので、前述の空乏層Aに加えて、n型半導体層2と絶縁層3の間の界面から、n型半導体層2の表面に向かう方向に空乏層Bが伸びる。一方、n型半導体層2とp型半導体領域5の間のpn接合での電界は、空乏層Aの伸びが空乏層Bの影響で伸びやすくなることによって、緩和される。この効果は、一般にResurf効果といわれており、絶縁膜3の代わりに、pn接合をこの界面に沿った位置に延長することによって、同様の効果が期待できることが、文献“IEBM Tech. Dig., 1979, pp. 238-241, J. A. Appersら”に紹介されている。

【0007】上述の構造においては、酸化膜とシリコンの単位厚さ当たりの電圧負担割合は、その誘電率($\epsilon_{oxi} = 3.9$, $\epsilon_{si} = 11.7$)の逆数の比となるので、約3:1である。電圧のかかなりの部分を保持している、この酸化膜3を厚膜化することによって、耐圧を向上させることができる。

【0008】そのような、図16に示す。図16において、右上がりに変化している領域がResurf効果の有効な範囲を示している。膜厚を単純に厚くしていくと、ある値を境にして、逆に耐圧(BV)は低下する。これは、空乏層Bの伸長を助ける半導体基板1のグランド電位が遠ざかるにつれて、空乏層Bの伸びが弱くなり、空乏層Aの電界緩和効果が効かなくなっていくからである。したがって、600V等の高耐圧を実現するには、埋込酸化膜の膜厚を7 μ m近傍に制御して形成しなければならない。しかし、成膜法で、7 μ m近傍の埋込酸化膜を形成するには、図17を参照して、かなり長いプロセス時間を必要とするため、コストが高くなるという問題点があった。

【0009】この発明は、上記のような問題点を解決するためになされたもので、安価に作製できかつプロセス時間を短縮することができるように改良された、絶縁体分離半導体装置を提供することを目的とする。

【0010】この発明はまた、そのような絶縁体分離半

導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】この発明の第1の局面に従う絶縁体分離半導体装置は、誘電率が8.8以上の高誘電物質で形成された高誘電体層を備える。上記高誘電体層の上にSOI層が形成されている。

【0012】この発明の第2の局面に従う絶縁体分離半導体装置の製造方法においては、まず、高誘電体基板と半導体基板を準備する。上記高誘電体基板および上記半導体基板の少なくとも一方の、表面に絶縁層を形成する。上記絶縁層を間に挟んで、上記高誘電体基板と上記半導体基板とを貼り合わせる。上記貼り合わせ工程の後、上記半導体基板を所定の厚さになるまで研削・研磨する。

【0013】

【発明の実施の形態】以下、この発明の実施の形態を図について説明する。

【0014】発明の実施の形態1

図1は、本発明の実施の形態1に係るSOIダイオードの断面図である。当該装置は、高誘電率物質で形成された絶縁層3aを備える。絶縁層3aの上に、n型半導体層2が設けられている。n型半導体層2の表面には、低抵抗なn型半導体領域4が設けられている。また、n型半導体層2中には、低抵抗のn型半導体領域4から離れた位置に、p型半導体領域5が設けられている。n型半導体領域4には、カソード電極6が接続されており、p型半導体領域5にはアノード電極7が接続されている。絶縁膜11は、カソード電極6とアノード電極7を他の部分と分離するためのものである。絶縁層3aの裏面には、裏面電極8が設けられている。

【0015】図1において、 $W=154\mu\text{m}$ 、 $t_{\text{SOI}}=10\mu\text{m}$ としたときの耐圧(BV)と絶縁層の厚さ(t_{ins})との関係を、図2中の、グラフ(2)に示す。図2には、また、比較の意味で、従来技術である図15に示す従来のSOIダイオードについて、 $W=154\mu\text{m}$ 、 $t_{\text{SOI}}=10\mu\text{m}$ としたときの耐圧(BV)と埋込酸化膜の厚さ(t_{oxi})との関係も、グラフ(1)として示されている。

【0016】なお、この発明の実施の形態では、絶縁層3aを、高誘電体物質である Ta_2O_5 ($\epsilon_r=20.0$)で形成している。

【0017】図2のグラフ(1)を参照して、従来の酸化膜($\epsilon_r=3.9$)を用いた場合、Resurf効果が有効に認められるのは、 $t_{\text{oxi}} < 15\mu\text{m}$ の範囲であるが、本発明の実施の形態($\epsilon_r=20.0$)では、 $t_{\text{ins}} < 90\mu\text{m}$ と拡張されるのがわかる。

【0018】次に、従来のSOIダイオードにおいて $t_{\text{oxi}}=7\mu\text{m}$ にし、 $V_c=600\text{V}$ にした場合のポテンシャル分布図を図4に示し、本発明の実施の形態に係るSOIダイオードにおいて、 $t_{\text{ins}}=100\mu\text{m}$ にし、

$V_c=600\text{V}$ にした場合のポテンシャル分布図を図4に示す。図3と図4を参照して、いずれも、空乏層端(図中、点線で示した部分)は、 n^+ 領域の周辺にまで伸長しており、また、ポテンシャルコンターは、酸化膜、高誘電体物質で形成された絶縁層のいずれの内部へも入り込んでいて、Resurf効果が十分効いているのがわかる。

【0019】また、図4($\epsilon_r=20.0$ の場合)についていえば、ポテンシャルコンターは主に垂直方向に走っており、SOI層の中での電界集中は図3に示す従来のダイオード($\epsilon_r=3.9$)に比べて、さらに緩和されているのがわかる。

【0020】図5は、 $\epsilon_r=20$ の場合のSOIダイオードの断面図である。 V_{cc} 印加電極の直下で、垂直方向に関して、ほぼ9割以上の電圧分担が、高誘電体物質で負担されているのがわかる。

【0021】図6は、図3および図4での各々M-m'断面図で、電界強度分布の比較を行なった図である。絶縁層を高誘電体で形成し、絶縁層の厚さを増加させたことから、電界強度は約1/5に低下しているのがわかる。以上が、本発明の実施の形態におけるSOIダイオードと従来のSOIダイオードとの、電気特性上の比較である。

【0022】次に、本発明の実施の形態におけるSOIダイオードと従来のSOIダイオードの製法上の比較について説明する。

【0023】図15に示す従来のSOIダイオードの場合では、 $7\mu\text{m}$ の厚さの酸化膜3を得るためには、図17より、 1050°C 、 5atm 下で、約20時間加熱する必要があるが、コスト、プロセス時間ともに、問題となっている。一方、本発明の実施の形態によれば、予め準備した高誘電体基板を直接シリコン基板と接着した後、プロセス完了後の裏面研磨で、所定の膜厚(今在の例では $100\mu\text{m}$)に設定する以外には、従来プロセスと同一である。

【0024】上記の例では、 Ta_2O_5 ($\epsilon_r=20.0$)について説明したが、さらに誘電率を上げた場合、より厚い絶縁層でも、耐圧を確保することは可能である。實際上、基板の機械的強度を確保するためには、ウェハ径にもよるが、一般に、厚いほうが望ましい。一方、放熱の上では、薄いほうが望ましいので、用途、信頼性に応じて、材質と寸法を決定するのが好ましい。

【0025】発明の実施の形態2

図7は、本発明を適用したSOI-MOSの断面図である。なお、図7において、図1に示す装置の中の部材と同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。図7を参照して、 p^+ 拡散領域5の表面に n^+ 拡散領域12が設けられており、 n^+ 拡散領域に電極7が接続されている。絶縁膜11中であって、 p^+ 拡散領域5の上に、制御電極13が設けられて

いる。制御電極13は、 p^+ 拡散領域5の表面にチャネルを形成する能力を有する。SOI-MOSの場合も、制御電極13をグランド電位に接続すれば、 p 拡散領域5と n 型半導体基板2との接合から空乏層が伸びるので、耐圧を決定する要因は、ダイオードの場合と同じである。

【0026】 発明の実施の形態3

図8は、本発明を適用したSOI-IGBTの断面図である。図中、 n^+ 拡散領域4の表面に p^+ 拡散領域14が形成されている。その他の構成は、図7に示すSOI-MOSと同様であるので、同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。SOI-IGBTの場合も、制御電極13をグランド電位に接続すれば、 p 拡散領域5と n 型半導体層2との接合から空乏層が伸びるので、耐圧を決定する要因は、ダイオード、SOI-MOSの場合と基本的に同一である。ただし、場合によっては、 p 拡散領域14、 n 型半導体基板2、 p 拡散領域5とからなるPNPトランジスタのベースオープン状態での耐圧に律速されて、若干耐圧が低下する場合はあるが、 n^+ 拡散領域4の最適設計によって回避可能であり、また、Resurf効果の $BV_{t_{oxi}}(t_{ins})$ 依存性については、基本的に変わらない。

【0027】 なお、高誘電体物質としては、 Ta_2O_5 ($\epsilon_r = 20.0$)、 TiO_3 ($\epsilon_r = 80$)、 $SrTiO_3$ ($\epsilon_r = 200$) 等があるが、実用性の高いものとしては AlN ($\epsilon_r = 8.8$) 等もある。

【0028】 発明の実施の形態4

次に、絶縁体分離半導体装置の製造方法について説明する。

【0029】 図9を参照して、半導体基板2の一方の面に、酸化膜または窒化膜等の薄い絶縁膜3bを形成する。

【0030】 図10を参照して、薄い絶縁膜3bを介在させて、半導体基板2と高誘電体基板3aを貼り合わせ、熱処理によって、両者の密着性を強化する。

【0031】 図11を参照して、半導体基板2を研削・研磨し、所定の厚さに制御する。これによって、絶縁体分離半導体装置の基板が完成する。

【0032】 なお、本実施例に係る方法は、高誘電体基板3aを半導体基板2と直接接合させるより、絶縁層を介在させて両者を接合させるほうが密着性が高い場合に有効な方法であり、高誘電体基板と半導体基板との密着性が高い場合には、絶縁膜3bの形成工程を省略することも可能である。

【0033】 また、高誘電体基板3aの上に絶縁膜3bを形成し、絶縁膜3bを介在させて、高誘電体基板3aと半導体基板2とを貼り合わせてもよい。

【0034】 さらに、半導体基板2の一方の面に絶縁膜3bを形成し、さらに、高誘電体基板3aの一方の面に

絶縁膜3bを形成し、最後に、絶縁膜3b同士を貼り合わせて、基板を形成してもよい。

【0035】 以上説明したとおり、この発明の第1の局面に従う装置によれば、高耐圧パワーデバイスSOI基板の埋込酸化膜/支持用半導体基板に相当する部分や支持用絶縁体基板の部分を、高誘電体基板をもって一体的に構成するようにしたため、高耐圧に必要な厚い埋込酸化膜を形成する必要がなくなり、安価に製品が得られ、またプロセス時間を短縮することができる。

【0036】 また、この発明の第2の局面に従う方法によれば、SOI層と高誘電体基板との間に第2の薄い絶縁層を介して貼り合わせることにより、貼り合わせ強度の向上した信頼性の高いSOI基板を得ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1におけるSOIダイオードの断面図である。

【図2】 この発明に係るSOIダイオードと従来例に係るSOIダイオードとの電気特性の比較説明図である。

【図3】 従来のSOIダイオードの電気特性の説明図である。

【図4】 発明の実施の形態1に係るSOIダイオードの電気特性の説明図である。

【図5】 発明の実施の形態1に係るSOIダイオードの電気特性の説明図である。

【図6】 発明の実施の形態1に係るSOIダイオードと従来のSOIダイオードの電気特性の比較説明図である。

【図7】 発明の実施の形態2に係るSOI-MOSの断面図である。

【図8】 発明の実施の形態3に係るSOI-IGBTの断面図である。

【図9】 発明の実施の形態3に係る絶縁体分離半導体装置の製造方法の第1の工程における半導体装置の断面図である。

【図10】 発明の実施の形態4に係る絶縁体分離半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図11】 発明の実施の形態4に係る絶縁体分離半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図12】 第1の従来例のSOIダイオードの断面図である。

【図13】 第1の従来例のSOIダイオードの動作を説明するための図である。

【図14】 第2の従来例に係るSOIダイオードの断面図である。

【図15】 第2の従来例に係るSOIダイオードの動作を説明するための図である。

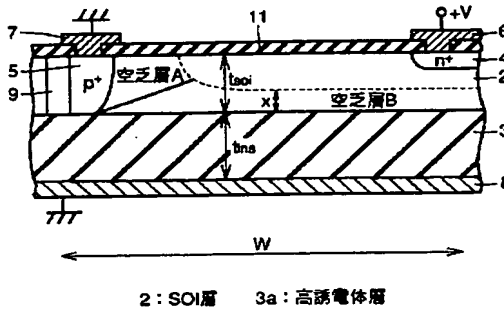
【図16】 SOIダイオードの電気特性を説明するための図である。

【図17】 酸化膜厚と酸化時間との関係図である。

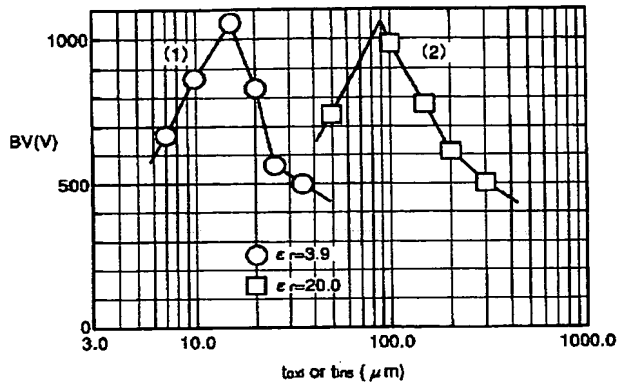
【符号の説明】

2 SOI層、3a 高誘電体層。

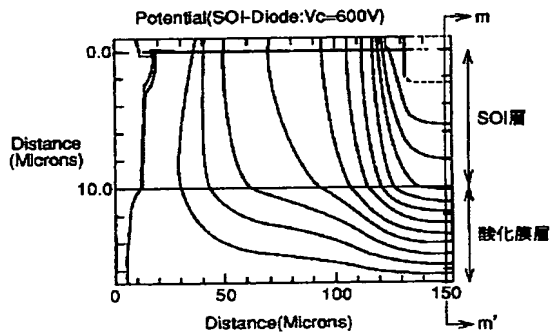
【図1】



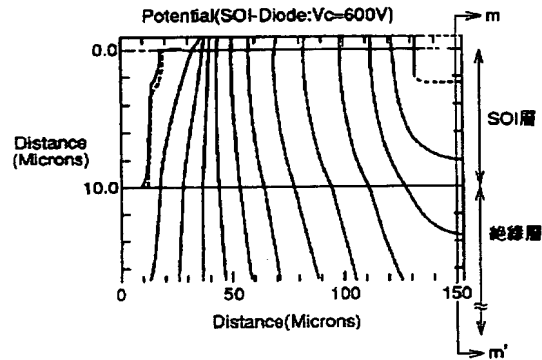
【図2】



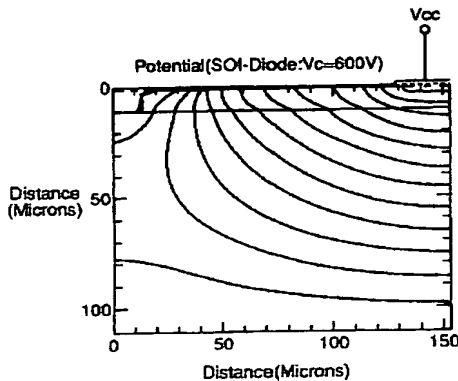
【図3】



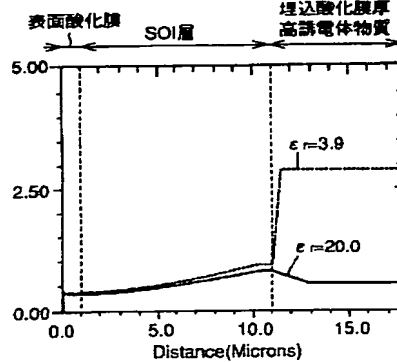
【図4】



【図5】



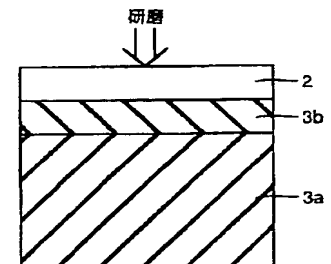
【図6】



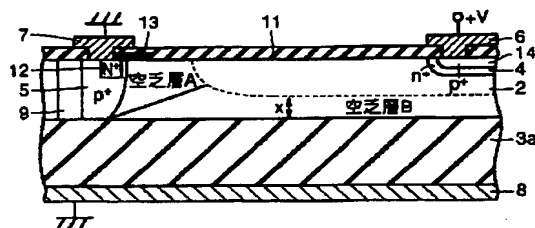
【図9】



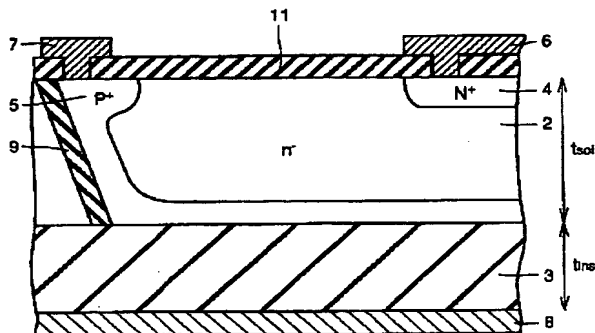
【図11】



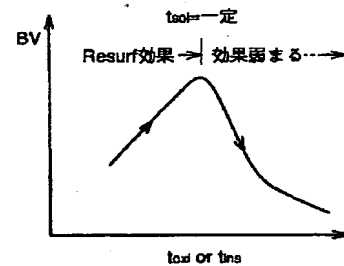
【図8】



【图 12】

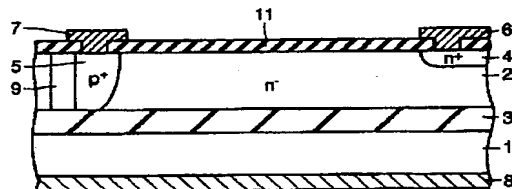


【图 16】

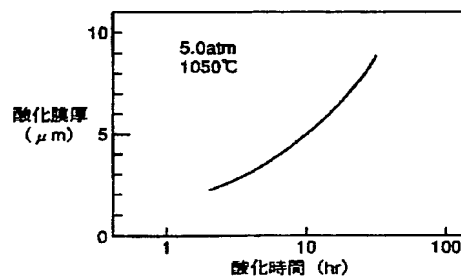


【図13】

【図14】



【図17】



フロントページの続き

(51)Int. Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

H O 1 L 29/91

E